

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 04-307974  
(43) Date of publication of application : 30. 10. 1992

(51) Int. Cl. H01L 29/788  
H01L 29/792  
H01L 27/115

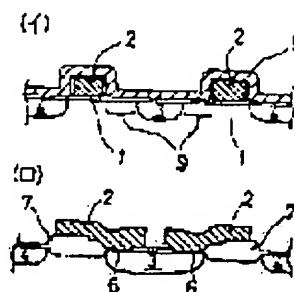
(21) Application number : 03-073239 (71) Applicant : SHARP CORP  
(22) Date of filing : 05. 04. 1991 (72) Inventor : YOSHIMI MASANORI

## (54) ELECTRICALLY ERASABLE NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

### (57) Abstract:

PURPOSE: To contrive an increase in the integration of the title device by a method wherein floating gates are respectively divided functionally into a write site and an erase site and in the sides of the erase sites, a tunnel oxide film is provided to constitute the erase sites without providing a source offset and in the sides of the write sites, a source offset is provided to constitute the write sites.

CONSTITUTION: One pair of L-shaped floating gates 2 consisting of a polysilicon film are respectively provided on gate regions between a source line 3 in the surface of a silicon substrate and one pair of drain lines 4 and 4 arranged on both sides of the line 3 via an insulating film. Moreover, control gates 5 consisting of a polysilicon film to the gates 2 are respectively provided on the gates 2 via an interlayer insulating film. In one pair of write sites, writing using an injection of electrons from the side of each drain to each gate 2 is performed. On the other hand, in the erase sites, erase using an F-N tunneling is performed en bloc from the side of a source to the gates 2 and 2.



BEST AVAILABLE COPY

### LEGAL STATUS

[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-307974

(43) 公開日 平成4年(1992)10月30日

(51) Int. Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/788				
29/792				
27/115				
		8225-4M	H 0 1 L 29/78	3 7 1
		8831-4M	27/10	4 3 4
			審査請求 未請求 請求項の数1(全 4 頁)	

(21) 出願番号 特願平3-73239

(22) 出願日 平成3年(1991)4月5日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 吉見 正徳

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(74) 代理人 弁理士 野村 信太郎

(54) 【発明の名称】 電気的消去可能不揮発性半導体記憶装置

(57) 【要約】

【目的】 ソースオフセットに選択ゲートを構成したE EPROMにおけるF-Nトンネリングによる消去を円滑化して、素子の縮小化を図る。

【構成】 1つのソースラインとその両側のドレインラインとで2つのE EPROMセルを構成し、各フローティングゲートの一方側をホットエレクトロンによる書き込み部位とし他方側をF-Nトンネリングによる一括消去部位として機能分離する。

BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 ノーア領域とその両側に配置される一対の

フレイノ領域及びこれらの間で設定される一対のゲート

領域、このゲート領域上に配置される一対のフローチ

ンゲート及びこのフローチンゲート上に配置され

るコントロールゲートを備え、上記一対の各フローチ

ンゲートが、(a) 各々ノースオフセットを介して上

記ゲート領域上に位置して一対のフレイノ駆動書き込み

部を構成する書き込み部位と、(b) 各々ノース両側に

配置されたトンネル酸化膜上に位置して一つのノース駆

動消去部を構成する消去部位、を有してなり、上記コン

トロールゲートが、上記一対のフローチンゲートの

書き込み部位及びノースオフセット上を共通して覆うよ

うに配置されてなる電気的消去可能不揮発性半導体記憶

装置、

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、電気的消去可能不揮

発性半導体記憶装置 (EEPROM) に関する。さらに

詳しくは、高集積化に適したEEPROMの素子構造に

関する。

【0002】

【従来の技術】 従来から、電気的消去可能不揮発性半導

体記憶装置 (EEPROM) として種々の構造のものが

知られており、いずれもいわゆるフローチンゲート

を有し、ホットエレクトロンによる書き込みやF-N

（Fowler-Nordheim）トンネリングによる消去/書き込

みを利用している。

【0003】 そして選択ゲート（セレクトシヨングート）

を有さない、いわゆる初期のスタックゲートEEPROM

Mにおいては、フレイノ側よりホットエレクトロンによ

る書き込みが行なわれ、ノース側よりF-Nトンネリン

グによる消去が行なわれる。

【0004】 しかしながら、このようにノース側よりF

Nトンネリングにより消去する構造では、しばしば過

剰消去が生じてメモリセルがドライリージョニ化する欠

点がある。

【0005】 このため、選択ゲートを組合せて上記過剰

消去を防止することがしばしば行なわれている。

【0006】

【発明が解決しようとする課題】 しかしながら、選択ゲ

ートを並立して設けるとメモリセルの導電面積が増加

し、EEPROMの集積度が著しく低下する。

【0007】 そのため、EEPROMを構成するノース

ラインとフローチンゲートとの間にオフセットを設

け、このオフセット部上に選択ゲートを配置すること

考えられる。

【0008】 しかしながら、この場合には、オフセット

部の存在により、ノースとフローチンゲート間のF

なうことができなかった。また、この場合、フレイノと  
フローチンゲート間のF-Nトンネリングを利用す  
ることも考えられるが、これを達成するには、フレイノ  
に比較的高電圧を印加する必要がある。従って、必然  
的にリーク電流を防止すべくフレイノ接合前圧を上昇す  
ることが要求され、そのためにはフレイノ接合の温度ア  
ロフメーラをなだらかにする必要があるが、この場合に  
は、ホットエレクトロンの発生効率が著くなり、書き込  
み特性が低下する不都合があった。  
【0009】 この発明は、かかる状況下なされたもので  
あり、ことにノース側オフセット部に選択ゲートを構成  
したEEPROMにおいても、ノース側からのF-Nト  
ンネリングによる消去を可能とする構造を提供しようと  
するものである。  
【0010】

【課題を解決するための手段】 かくしてこの発明によれ

ばノース領域とその両側に配置される一対のフレイノ駆

動消去部を構成する一対のゲート領域、この

ゲート領域上に配置される一対のフローチンゲート

及びこのフローチンゲート上に配置されるコントロール

ゲートと、(a) 各々ノースオフセットを介して上記ゲート領

域上に位置して一対のフレイノ駆動書き込み部を構成す

る書き込み部位と、(b) 各々ノース両側に配置された

トンネル酸化膜上に位置して一つのノース駆動消去部を

構成する消去部位、を有してなり、上記コントロール

ゲートが、上記一対のフローチンゲートの書き込み部

位及びノースオフセット上を共通して覆うように配置さ

れてなる電気的消去可能不揮発性半導体記憶装置が提供

される。

【0011】 この発明は、上記課題を解決すべく、フロ

ーチンゲートを備え、上記一対の書き込み部位と消去部位に

分け、消去部位側ではノースオフセットを設けることな

くトンネル酸化膜を配置して一つの消去部位を構成し、

書き込み部位側ではノースオフセットを設けて一対の書

き込み部位を構成するという手段を講じたものである。

【0012】

【作用】 フレイノ駆動書き込み部においては、ノースオ

フセットが確保されておりこのオフセット上のコントロ

ールゲートを選択ゲートとすることができ、かつホット

エレクトロンの注入がオフセットを有しない各フレイノ

域から行なわれるため、各々円筒な書き込みが行なわれ

る。

【0013】 一方、ノース駆動消去部においてはノース

オフセットを有さないため、ノース領域の両側に配置さ

れたトンネル酸化膜を介してノース側からのF-Nトン

ネリングが行なわれ、円筒な消去が一括して行なわれる

こととなる。

【0014】

【実施例】 以下、添付図面に示す実施例に基づいてこの

4

10

20

37

40

50

50

50

50

## 9 ソースオフセット

【圖 3】

